PATENT ABSTRACTS OF JAPAN

(11)Publication number :　　　　09-016123

(43)Date of publication of application : 17.01.1997

| (51)Int.Cl. | G09G 3/30 |
| | H05B 33/08 |

(21)Application number : 07-168428　　　(71)Applicant : TDK CORP
　　　　　　　　　　　　　　　　　　　　　　　　SEMICONDUCTOR ENERGY LAB
　　　　　　　　　　　　　　　　　　　　　　　　CO LTD

(22)Date of filing :　　　04.07.1995　　　(72)Inventor : TAKAYAMA ICHIRO
　　　　　　　　　　　　　　　　　　　　　　　　ARAI MICHIO

(54) IMAGE DISPLAY DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To obtain the brightness of a thin-film pixel element faithful to input video signals by specifying input voltage and the current flowing to a nonlinear element to a primary proportional relation.
SOLUTION: This image display element has, in every one pixel, the thin-film pixel element EL, the nonlinear element M for controlling the light emission of the thin-film pixel element EL, a capacitor C for signal holding connected to the gate electrode of the nonlinear element M and a load element Rs having primary proportional current-voltage characteristics between the nonlinear element Ty for writing data to the capacitor C, the nonlinear element M for controlling the light emission and arbitrary fixed potential.
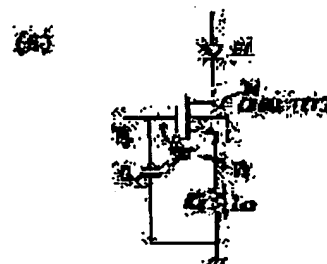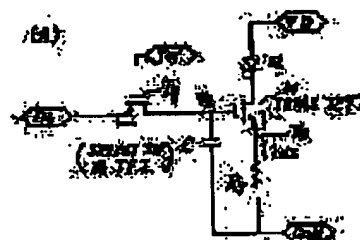
LEGAL STATUS

[Date of request for examination]　　　　01.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

Searching PAJ

decision of rejection]
[Date of extinction of right]

CLAIMS

[Claim(s)]
[Claim 1] Image display equipment characterized by having the load element the current-voltage characteristic is [element] proportionally [primary] for every pixel between a thin film pixel element, the nonlinear element for luminescence control of this thin film pixel element, the capacitor for signal maintenance connected to the gate electrode of this nonlinear element, the nonlinear element for the data writing to this capacitor, the nonlinear element for the aforementioned luminescence control, and arbitrary fixed potentials.

[Claim 2] The aforementioned load element is image display equipment according to claim 1 characterized by being high resistance lead wire.

[Claim 3] The aforementioned load element is image display equipment according to claim 1 characterized by being parasitism resistance of the aforementioned nonlinear element.

[Claim 4] The aforementioned load element is image display equipment according to claim 1 characterized by being parasitism resistance of the aforementioned thin film pixel element.

[Claim 5] It is image display equipment according to claim 1 characterized by for the aforementioned load elements being the aforementioned thin film pixel element and its parasitism resistance, and forming this parasitism resistance by the resistance thin film.

[Claim 6] The aforementioned load element is image display equipment according to claim 1 characterized by being the output resistance of a nonlinear element.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Industrial Application] this invention relates to image display equipment, for example, relates to (Electroluminescence EL) image display equipment like organic EL image display equipment.
[0002]
[Description of the Prior Art] Drawing 5 and drawing 6 are drawings having shown the conventional example. Hereafter, the conventional example is explained based on these drawings.
[0003] Drawing 5 (A) is a panel block diagram, and the display screen 11, the shift register 12 of the X-axis, and the shift register 13 of a Y-axis are formed in the display (display) panel 10.
[0004] EL power supply is supplied to the display screen 11, and supply of a shift register power supply and the input of an X-axis synchronizing signal are performed to the shift register 12 of the X-axis. Furthermore, supply of a shift register power supply and the input of a

Y-axis synchronizing signal are performed to the shift register 13 of a Y-axis. Moreover, the output of an image data signal is prepared in the output section of the shift register 12 of the X-axis.

[0005] Drawing 5 (B) is expansion explanatory drawing of the A section of drawing 5 (A), two pieces and a capacitor consist of one piece, and 1 pixel (the rectangular head of a dotted line shows) of EL elements of the display screen 11 consists of one piece for the transistor.

[0006] When this 1-pixel luminescence operation has the output of a selection signal Y1 with the shift register 13 of a Y-axis and there is an output of a selection signal X1 with the shift register 12 of the X-axis, a transistor Ty11 and a transistor Tx1 are turned on.

[0007] For this reason, image data (video signal) Di is inputted into the gate of the TFT which is a nonlinear element (BIAS TFT) M11. Thereby, the current according to this gate voltage flows between the drain of a nonlinear element M11, and the source from EL power supply, and EL-element EL11 emits light.

[0008] To the following timing, although the shift register 12 of the X-axis will make the output of a selection signal X1 off and a selection signal X2 will be outputted, the aforementioned luminescence of EL-element EL11 will be maintained until this pixel is chosen next, since the gate voltage of a nonlinear

element M11 is held by the capacitor C11.

[0009] As 1 pixel is extracted and shown in drawing 6, the series connection of the EL element in every pixel is carried out to the nonlinear element M for luminescence control (BIAS TFT), and the capacitor C for signal maintenance is connected to the gate electrode of this nonlinear element (BIAS TFT) M.

[0010] And the nonlinear element Ty for data writing (TFT for SELECT-SW) is connected to the capacitor C for this signal maintenance, and the image data (video signal) Di chosen as the nonlinear element Ty for this data writing (TFT for SELECT-SW) by the Y coordinate selection signal Yn and the X coordinate selection signal is impressed.

[0011] The luminescence intensity of an EL element is determined by controlling the current which flows to the nonlinear element M for the aforementioned luminescence control (BIAS TFT) with the voltage which accumulated the charge to the capacitor C for the aforementioned signal maintenance by this image data Di, and was accumulated at the capacitor C for this signal maintenance. ("A 6x6-in 20-lpi Electroluminescent DisplayPanel" T.P.BRODY, FANG CHEN LUO, et.al.IEEE Trans.Electron Devices, Vol.ED-22, No.9, Sept.1975, p739 - p749 reference)

[0012]

[Problem(s) to be Solved by the

Invention] However, the property relation between the current which flows to the nonlinear element M for luminescence control (BIAS TFT), and the voltage accumulated at Capacitor C is not necessarily a relation of primary proportionality. For this reason, since the relation between the size of the inputted video signal and the luminescence brightness of an EL element was not linear and the luminescence brightness of an EL element was not faithfully obtained to an input video signal, reappearance of luminescence brightness faithful to the size of a video signal was difficult.

[0013] For example, when this nonlinear element M is a field-effect transistor (TFT), the current which flows to this becomes the thing of the following formula by the saturation region.

$Ids=(1/2) (W/L) mu0 C02(Vgs-Vth)$ Ids Current Vgs which flows to TFT Voltage between the gate sources (voltage accumulated at the capacitor) C0 Gate capacitance mu 0 per unit area Mobility W Channel width [of the gate of TFT] L Channel length Vth of the gate of TFT Ids and Vgs were not able to obtain not proportionality but the luminescence brightness which is proportional to a video signal for this reason so that more clearly than the threshold-voltage aforementioned formula of TFT.

[0014] this invention solves the aforementioned conventional technical problem, is making into primary proportionality the current which flows to input voltage and a nonlinear element, and aims at obtaining the brightness of a thin film pixel element faithful to an input video signal.

[0015]
[Means for Solving the Problem] In order to attain this purpose, as shown in drawing 1 (A), by this invention, Resistance Rs is connected as the nonlinear element M for this luminescence control (BIAS TFT), and a load element to which the current-voltage characteristic has a primary proportionality property among the arbitrary fixed potentials COM.

[0016]
[Function] Since source resistance Rs was connected as a load element which has the aforementioned primary proportionality property, as following, negative feedback starts a nonlinear element (BIAS TFT) M, and the relation of a primary proportionality property is obtained between the current Ids which flows to a nonlinear element M, and the voltage Vg accumulated at Capacitor C.

[0017] That is, in drawing 1 (A), if the gate voltage Vg of a nonlinear element M changes, the current Ids which flows to a nonlinear element M will change, it is got blocked Ids·Rs and the potential Vs between the common potentials COM which are the source electrode and fixed potential of a nonlinear element M

3

changes. Vg-Vs, i.e., Vgs, changes based on this, and the current which flows to a nonlinear element M changes. Since Ids constitutes the source follower circuit although it increases when negative feedback starts by this and a gate voltage Vg becomes large, negative feedback starts and, as for a Vg-Ids property, a primary proportionality property is acquired.

[0018]

[Example] One example of this invention is explained based on drawing 1. In this invention, as shown in drawing 1 (A), Resistance Rs is connected as the nonlinear element M for the luminescence control by which the series connection was carried out to the EL element (BIAS TFT), and a load element to which the current-voltage characteristic has a primary proportionality property between the common potentials COM.

[0019] When the gate voltage Vg of a nonlinear element M, i.e., the charge voltage of Capacitor C, becomes large by this, as shown in drawing 1 (B), the current Ids which flows to this nonlinear element M increases. When this current Ids increases, the voltage drop in Resistance Rs becomes large, and the source potential Vs rises.

[0020] Since the source potential Vs rises, the voltage Vgs between the source gates and Vgs=Vg-Vs which are obtained by the following formula by this also become

small, and thereby, it is BIAS. The current Ids which flows to TFT decreases. Thus, negative feedback is BIAS. Since TFT is started, an Ids pair Vg property can acquire the range which has the relation of primary proportionality.

[0021] In this case, between the source electrode of the nonlinear element M for the aforementioned luminescence control (BIAS TFT), and the arbitrary common potentials COM Negative feedback starts by having allotted resistance [10 or more times - below 1T(Thera =1012) omega] stronger enough than the inverse number of the mutual conductance of the nonlinear element for luminescence control. The range which has the relation of primary proportionality between the current Ids which flows to the nonlinear element M for luminescence control, and the voltage accumulated at Capacitor C can be made.

[0022] For example, when this nonlinear element M is a field-effect transistor (TFT : TFT), the current Ids which flows to the source potential Vs and this TFT becomes as the following formula by the saturation region.

[0023]

Vs=Rs Ids .... ** Ids=(1/2) (W/L) mu0 C0 2 (Vg-Vs-Vth) .. **Ids Current Vg which flows to TFT The voltage Vs accumulated at Capacitor C Source potential Vth The threshold voltage Rs of TFT The resistance C0 whose current-voltage characteristic has a

primary proportionality property The gate capacitance mu 0 per unit area Mobility W Channel width [of the gate of TFT] L the channel length of the gate of TFT -- if both the formulas of this ** and ** are differentiated -- delta V_s=Rsdeltalds .... **

deltaIds=gm (delta Vg-delta Vs) .... ** -- here, gm is the mutual conductance [gm=(W/L) mu0C0 (Vg-Vs-Vth)] of TFT

[0024] ** Formula delta Ids=delta Vs/Rs .... **** formula is substituted for ** formula and it is deltaVs/Rs=gm (delta Vg-delta Vs), this -- deforming -- delta (1+gmRs) Vs=gmRsdeltaVg -- thereby -- deltaVs=(gmRs)/(1+gmRs) -deltaVg -- here the time when Resistance Rs is sufficiently bigger than the inverse number of the mutual conductance gm of the nonlinear element (TFT) for luminescence control (gmRs>>1 [i.e.,]) -- delta Vs**delta Vg -- thereby -- from ** formula deltaIds=(1/Rs) deltaVs=(1/Rs) deltaVg .... ** -- it turns out that Current Ids and the gate voltage Vg which flow to an EL element serve as a relation of primary proportionality by the relation of this ** formula

[0025] by the way, the lead wire which connects a source electrode to the common potential COM, without the resistance Rs in drawing 1 using an individual resistor -- for example, contest polysilicon -- like -- high -- it can also create by the thin film [****] Control of

the resistance in this case can be performed by adjusting the pattern sizes (for example, width of face, length, thickness, etc.).

[0026] Moreover, you may make the resistance added to the aforementioned source electrode using the parasitism resistance which surely exists in a nonlinear element (BIAS TFT), for example, source resistance, an offset field (field without doping), etc. The amount of doping, offset distance, the pattern configuration of an electrode, etc. perform control of the resistance at this time. The resistance Rs shown in drawing 2 (A) shows this parasitism resistance in equivalent.

[0027] In drawing 2 (A), a P channel field-effect transistor is used as a nonlinear element (BIAS TFT) M, and the EL element is prepared between the drain electrode of this nonlinear element M, and the arbitrary common potentials COM. Moreover, the capacitor C for signal maintenance is formed between a gate electrode and the arbitrary fixed potentials VD.

[0028] By considering resistance Rs which is parasitism resistance also in this case as resistance (less than [more than 10 time -1Tohm]) stronger enough than the inverse number of the mutual conductance of the nonlinear element M for luminescence control, negative feedback can start and the range which has the relation of primary

proportionality between the current Ids which flows to a nonlinear element M, and the voltage accumulated at Capacitor C can be made.

[0029] Drawing 2 (B) shows an example of parasitism resistance of a nonlinear element M, and shows the drain electrode D, the drain pattern, the gate electrode G, the source pattern, and the source electrode S from the top. The offset field OP can be established in a part of this source pattern, and Resistance Rs can be made. Of course, the width of face of this source pattern, length, thickness, etc. are adjusted, and you may make it make Resistance Rs.

[0030] The resistance Rs which the resistance furthermore added to the aforementioned source electrode may use the surely generated parasitism resistance for a thin film pixel element, and is shown in drawing 3 (A) shows this parasitism resistance in equivalent.

[0031] In drawing 3 (A), a P channel field-effect transistor is used as a nonlinear element (BIAS TFT) M, and the capacitor C for signal maintenance is formed between the gate electrode of this nonlinear element M, and the fixed potential VD. Moreover, the EL element which is a thin film pixel element, and its parasitism resistance Rs are formed between a source electrode and the fixed potential VD.

[0032] By considering resistance Rs which is parasitism resistance also in this case as resistance (less than [more than 10 time ·1Tohm]) stronger enough than the inverse number of the mutual conductance of the nonlinear element M for luminescence control, negative feedback can start and the range which has the relation of primary proportionality between the current Ids which flows to a nonlinear element M, and the voltage accumulated at Capacitor C can be made.

[0033] Drawing 3 (B) is drawing showing an example (organic EL light emitting device) of a thin film pixel element, and as shown in this drawing as parasitism resistance, it may use a resistive layer 102. It is as the equal circuit being shown in drawing 3 (A) also in this case. In addition, for cathode, such as MgAg, and 103, as for a luminous layer and 105, in organic EL light emitting device shown in drawing 3 (B), an electron-injection transporting bed and 104 are [101 / a hole-injection transporting bed and 106] transparent electrodes.

[0034] In order to control the value of this parasitism resistance, it controle by thickness, such as a polysilicon contest thin film, an amorphous silicon thin film, and a high resistance organic thin film, as a resistive layer 102. You may use this, when the current-voltage characteristic of a thin film pixel element is proportional primarily, of course.

[0035] Moreover, the resistance added to the aforementioned source electrode may

use the output resistance of a nonlinear element. Drawing 4 (A) shows the time of using the output resistance of the load TFT (LOAD TFT) which is a nonlinear element. LOAD The fixed potential pressured partially by resistance R1 and R2 is applied to the gate electrode of TFT. [0036] Drawing 4 (B) is LOAD at this time. When the VDS-Ids property (volt ampere characteristic between the drain sources) of TFT is shown and the value more than fixed joins VDS (saturation region), the relation of VDS-Ids becomes proportionally [primary], and it is LOAD. It means that TFT can regard it as resistance. In addition, VDS here is LOAD. The voltage concerning the drain source inter-electrode of TFT is expressed. This output resistance value is LOAD. The voltage impressed to TFT, i.e., the resistance ratio of resistance R1 and R2, LOAD It controls by channel length of TFT. Moreover, LOAD The fixed potential applied to the gate electrode of TFT can also use other meanses, such as giving fixed potential from the outside without using resistance R1 and R2.

[0037] Thus, LOAD By controlling the potential applied to the gate electrode of TFT, an output resistance value can be controlled easily and, moreover, big resistance can be made from a small area. [0038] In addition, although the aforementioned example explained the case where TFT manufactured by the thin film as a nonlinear element was used,

it is not limited to this and the nonlinear element manufactured by other processes can also be used.

[0039]
[Effect of the Invention] As explained above, according to this invention, there are the following effects.
** : since the current which flows to input voltage and a nonlinear element can be constituted in primary proportionality according to this invention according to claim 1, the brightness of a thin film pixel element faithful to an input video signal can be obtained.

[0040] ** : since the aforementioned primary proportionality can be obtained using high resistance lead wire according to this invention according to claim 2, special resistance is not needed but the brightness of a thin film pixel element faithful to an input video signal can be obtained.

[0041] ** : since the aforementioned primary proportionality can be obtained using parasitism resistance of a nonlinear element according to this invention according to claim 3, this and special resistance are not needed but the brightness of a thin film pixel element faithful to an input video signal can be obtained.

[0042] ** : since parasitism resistance of a thin film pixel element was used according to this invention according to claim 4, special resistance is not needed but the brightness of a thin film pixel

element faithful to an input video signal can be obtained.

[0043] ** : since the resistance thin film was formed in the thin film pixel element according to this invention according to claim 5, the brightness of a thin film pixel element faithful to an input video signal can be obtained with very easy composition.

[0044] ** : since the output resistance of a nonlinear element was used as a load element according to this invention according to claim 6, control of output resistance can carry out easily and big resistance can be made from a small area.

M Nonlinear element
C Capacitor
Rs Load element
Ty Nonlinear element
Yn Y coordinate selection signal
Di Image data
COM Common potential (fixed potential)
VD Fixed potential
Vs Source potential
Vg Gate voltage
Vgs Voltage between the source gates
Ids Current which flows to a nonlinear element M

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is principle explanatory drawing of this invention.
[Drawing 2] It is explanatory drawing in the case of using parasitism resistance of the nonlinear element in an example.
[Drawing 3] It is explanatory drawing in the case of using parasitism resistance of the thin film pixel element in an example.
[Drawing 4] It is explanatory drawing in the case of using the output resistance of the nonlinear element in an example.
[Drawing 5] It is explanatory drawing (1) of the conventional example.
[Drawing 6] It is explanatory drawing (2) of the conventional example.
[Description of Notations]
EL Thin film pixel element

(19)日本国特許庁（JP）　　(12) **公 開 特 許 公 報** (A)　　(11)特許出願公開番号

特開平9−16123

(43)公開日　平成9年(1997) 1月17日

(51)Int.Cl.⁶	識別記号	庁内整理番号	FI	技術表示箇所
G09G　3/30		4237−5H	G09G　3/30	K
H05B　33/08			H05B　33/08	

審査請求　未請求　請求項の数6　OL　（全 7 頁）

(54) 【発明の名称】　画像表示装置

(57) 【要約】

【目的】　入力電圧と非線形素子に流れる電流を一次比
例関係にすることで、入力映像信号に忠実な薄膜面素
子の輝度を得ることを目的とする。

【構成】　一画素毎に薄膜面素素子ELと、該薄膜面素
素子ELの発光制御用の非線形素子Mと、該非線形素子
Mのゲート電極に接続された信号保持用のキャパシタC
と、該キャパシタCへのデータ書き込み用の非線形素子
Tyと、前記発光制御用の非線形素子Mと任意の固定電
位との間に、電流−電圧特性が一次比例である負荷素子
Rsとを有する。

本発明の原理説明図

(2)

1
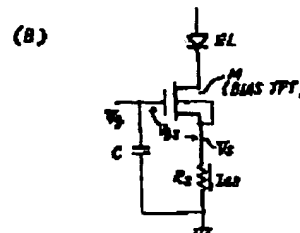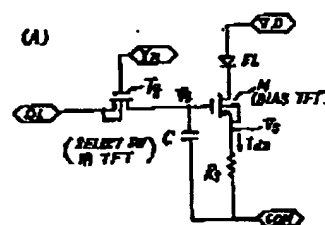
【特許請求の範囲】

【請求項1】 一画素毎に薄膜画素素子と、該薄膜画素子の発光制御用の非線形素子と、該非線形素子のゲート電極に接続された信号保持用のキャパシタと、該キャパシタへのデータ書き込み用の非線形素子と、前記発光制御用の非線形素子と任意の固定電位との間に、電流−電圧特性が一次比例である負荷素子とを有することを特徴とする画像表示装置。

【請求項2】 前記負荷素子は高抵抗導線であることを特徴とする請求項1記載の画像表示装置。

【請求項3】 前記負荷素子は前記非線形素子の寄生抵抗であることを特徴とする請求項1記載の画像表示装置。

【請求項4】 前記負荷素子は前記薄膜画素素子の寄生抵抗であることを特徴とする請求項1記載の画像表示装置。

【請求項5】 前記負荷素子は前記薄膜画素素子とその寄生抵抗であり、該寄生抵抗は抵抗薄膜で形成されたものであることを特徴とする請求項1記載の画像表示装置。

【請求項6】 前記負荷素子は非線形素子の出力抵抗であることを特徴とする請求項1記載の画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像表示装置に係り、例えば有機EL画像表示装置のような、エレクトロルミネセンス（EL）画像表示装置に関する。

【0002】

【従来の技術】 図5、図6は従来例を示した図である。以下、これらの図面に基づいて従来例を説明する。

【0003】 図5（A）は、パネルブロック図であり、ディスプレイ（表示）パネル10には、ディスプレイ画面11、X軸のシフトレジスタ12、Y軸のシフトレジスタ13が設けてある。

【0004】 ディスプレイ画面11には、EL電源が供給されており、またX軸のシフトレジスタ12には、シフトレジスタ電源の供給とX軸同期信号の入力が行われる。さらにY軸のシフトレジスタ13には、シフトレジスタ電源の供給とY軸同期信号の入力が行われる。また、X軸のシフトレジスタ12の出力部に画像データ信号の出力が設けてある。

【0005】 図5（B）は、図5（A）のA部の拡大説明図であり、ディスプレイ画面11の一画素（点線の四角で示す）は、トランジスタが2個、コンデンサが1個、EL素子が1個より構成されている。

【0006】 この1画素の発光動作は、例えば、Y軸のシフトレジスタ13で選択信号Y1の出力があり、またX軸のシフトレジスタ12で選択信号X1の出力があった場合、トランジスタTy11とトランジスタTx1がオンとなる。

2

【0007】 このため、画像データ（映像信号）Diは、非線形素子（BIAS TFT）M11である薄膜トランジスタのゲートに入力される。これにより、このゲート電圧に応じた電流がEL電源から非線形素子M11のドレイン、ソース間に流れ、EL素子EL11が発光する。

【0008】 次のタイミングでは、X軸のシフトレジスタ12は、選択信号X1の出力をオフとし、選択信号X2を出力することになるが、非線形素子M11のゲート電圧は、コンデンサC11で保持されるため、次にこの画素が選択されるまでEL素子EL11の前記発光は、持続することになる。

【0009】 図6に一画素を抜き出して示す如く、一画素毎のEL素子を発光制御用の非線形素子（BIAS TFT）Mに直列接続し、この非線形素子（BIAS TFT）Mのゲート電極に信号保持用のキャパシタCを接続する。

【0010】 そしてこの信号保持用のキャパシタCにデータ書き込み用の非線形素子（SELECT−SW用TFT）Tyを接続し、このデータ書き込み用の非線形素子（SELECT−SW用TFT）TyにY座標選択信号YnとX座標選択信号により選択された画像データ（映像信号）Diを印加する。

【0011】 この画像データDiにより前記信号保持用のキャパシタCに電荷を蓄積し、この信号保持用のキャパシタCに蓄積された電圧により前記発光制御用の非線形素子（BIAS TFT）Mに流れる電流を制御することにより、EL素子の発光強度が決定される。（"A 6×6−in 20−lpi Electroluminescent DisplayPanel" T.P.BRODY, FANG CHEN LUO, et. al. IEEE Trans. Electron Devices, Vol. ED-22, No.9, Sept. 1975、p739〜p749 参照）

【0012】

【発明が解決しようとする課題】 ところが、発光制御用の非線形素子（BIAS TFT）Mに流れる電流と、キャパシタCに蓄積された電圧との特性関係は必ずしも一次比例の関係ではない。このため入力された映像信号の大きさとEL素子の発光輝度との関係が直線的でないため、入力映像信号に忠実にEL素子の発光輝度が得られないため、映像信号の大きさに忠実な発光輝度の再現が難しかった。

【0013】 例えばこの非線形素子Mが電界効果トランジスタ（TFT）の場合、これに流れる電流は飽和領域で次式のものとなる。

$Ids = (1/2)(W/L)\mu_0 C_0 (Vgs - Vtb)^2$

Ids　TFTに流れる電流

Vgs　ゲートソース間電圧（キャパシタに蓄積された電圧）

C_0　単位面積当りのゲート容量

特開平9-16123

(3)

　　3

μ0　　　移動度
W　　　TFTのゲートのチャネル幅
L　　　TFTのゲートのチャネル長
Vth　TFTの閾値電圧

前記式より明らかな如く、IdsとVgsとは比例関係でなく、このため映像信号に比例した発光輝度を得ることができなかった。

【0014】本発明は、前記従来の課題を解決し、入力電圧と非線形素子に流れる電流を一次比例関係にすることで、入力映像信号に忠実な特映画素素子の輝度を得ることを目的とする。

【0015】
【課題を解決するための手段】この目的を達成するめ、本発明では図1（A）に示す如く、この発光制御用の非線形素子（BIAS　TFT）Mと任意の固定電位COMとの間に、電流-電圧特性が一次比例特性を有する負荷素子として抵抗Rsを接続する。

【0016】
【作用】前記一次比例特性を有する負荷素子としてソース抵抗Rsを接続したので、下記の如く負帰還が非線形素子（BIAS　TFT）Mに係り、非線形素子Mに流れる電流IdsとキャパシタCに蓄積された電圧Vgとの間に一次比例特性の関係が得られる。

【0017】即ち、図1（A）において、非線形素子Mのゲート電圧Vgが変化すると非線形素子Mに流れる電流Idsが変化し、Ids・Rsつまり、非線形素子Mのソース電極と固定電位である共通電位COM間の電位Vsが変化する。これにもとづきVg-Vsつまりvgsが変化し、非線形素子Mに流れる電流が変化する。これにより負帰還が係りゲート電圧Vgが大きくなったとき、Idsは増加するものの、ソースフォロア回路を構成しているため負帰還が係りVg-Ids特性は一次比*

　　4

*例特性が得られる。

【0018】
【実施例】本発明の一実施例を図1に基づき説明する。本発明では、図1（A）に示す如く、EL素子に直列接続された発光制御用の非線形素子（BIAS　TFT）Mと共通電位COMとの間に、電流-電圧特性が一次比例特性を有する負荷素子として抵抗Rsを接続する。

【0019】これにより、非線形素子Mのゲート電圧Vg、つまりコンデンサCの充電電圧が大きくなるとき、図1（B）に示す如く、この非線形素子Mに流れる電流Idsが増加する。この電流Idsが増大することにより抵抗Rsにおける電圧降下が大きくなり、ソース電位Vsが上昇する。

【0020】これにより下記の式で得られるソースゲート間電圧Vgs、Vgs=Vg-Vsも、ソース電位Vsが上昇するため小さくなり、これによりBIAS　TFTに流れる電流Idsが減少する。このようにして負帰還がBIAS　TFTにかかるので、Ids対Vg特性は一次比例の関係を持つ範囲を得ることができる。

【0021】この場合、前記発光制御用の非線形素子（BIAS　TFT）Mのソース電極と任意の共通電位COMの間に、発光制御用の非線形素子の相互コンダクタンスの逆数よりも十分に大きな抵抗〔10倍以上〜1T（テラ=10^{12}）Ω以下〕を配したことにより負帰還が係り、発光制御用の非線形素子Mに流れる電流IdsとキャパシタCに蓄積された電圧との間に一次比例の関係を持つ範囲を作ることができる。

【0022】例えばこの非線形素子Mが電界効果トランジスタ（TFT：薄膜トランジスタ）の場合、ソース電位VsとこのTFTに流れる電流Idsは、飽和領域で次式の通りとなる。

【0023】

$$Vs = Rs Ids \cdots\cdots\cdots①$$

$$Ids = (1/2)(W/L)\mu_0 C_0 (Vg - Vs - Vth)^2 \cdots②$$

Ids	TFTに流れる電流
Vg	キャパシタCに蓄積された電圧
Vs	ソース電位
Vth	TFTの閾値電圧
Rs	電流-電圧特性が一次比例特性を有する抵抗※

※C0　　単位面積当りのゲート容量
μ0　　移動度
W　　　TFTのゲートのチャネル幅
L　　　TFTのゲートのチャネル長

この①、②の両式を微分すると、

$$\Delta Vs = Rs \Delta Ids \cdots\cdots\cdots\cdots\cdots③$$

$$\Delta Ids = gm(\Delta Vg - \Delta Vs) \cdots\cdots\cdots④$$

ここで、gmはTFTの相互コンダクタンス〔gm=（W/L）μ0 C0（Vg-Vs-Vth）〕である。★

$$\Delta Ids = \Delta Vs / Rs \cdots\cdots\cdots\cdots⑤$$

⑤式を④式に代入し、

ΔVs/Rs=gm（ΔVg-ΔVs）

これを変形し、

（1+gmRs）ΔVs=gmRsΔVg

これにより、

ΔVs=（gmRs）/（1+gmRs）・ΔVg

★【0024】③式より

ここで、抵抗Rsが発光制御用の非線形素子（TFT）の相互コンダクタンスgmの逆数より十分大きな場合、即ち、gmRs≫1のとき、

ΔVs≒ΔVg

これにより⑤式から、

5

$$\Delta Ids = (1/R_s)\Delta V_s = (1/R_s)\Delta V_g \cdots\cdots ⑬$$

この⑬式の関係により、EL素子に流れる電流Idsとゲート電圧Vgとが一次比例の関係となっていることがわかる。

【0025】ところで、図1における抵抗Rsは個別の抵抗体を使用せずに、ソース電極を共通電位COMに接続する導線を、例えばポリシリコンの如き高抵抗な薄線により作成することもできる。この場合の抵抗値の制御は、そのパターン寸法(例えば、幅、長さ、厚さ等)を調節することにより行うことができる。

【0026】また前記ソース電極に付加する抵抗は、非線形素子(BIAS TFT)に必ず存在する寄生抵抗、例えばソース抵抗、オフセット領域(ドーピングのない領域)等を使用して作ってもよい。このときの抵抗値の制御は、ドーピング量、オフセット距離、電極のパターン形状等により行う。図2(A)に示す抵抗Rsは、この寄生抵抗を等価的に示したものである。

【0027】図2(A)において、非線形素子(BIAS TFT)MとしてPチャネル電界効果トランジスタを使用し、この非線形素子Mのドレイン電極と任意の共通電位COMの間に、EL素子が設けてある。また、ゲート電極と任意の固定電位VDとの間に信号保持用のキャパシタCが設けてある。

【0028】この場合も寄生抵抗である抵抗Rsを発光制御用の非線形素子Mの相互コンダクタンスの逆数よりも十分に大きな抵抗(10倍以上〜1TΩ以下)とすることにより負帰還が係り、非線形素子Mに流れる電流IdsとキャパシタCに蓄積された電圧との間に一次比例の関係を持つ範囲を作ることができる。

【0029】図2(B)は非線形素子Mの寄生抵抗の一例を示しており、上からドレイン電極D、ドレインパターン、ゲート電極G、ソースパターン、ソース電極Sを示している。このソースパターンの一部にオフセット領域OPを設け、抵抗Rsを作ることができる。勿論このソースパターンの幅、長さ、厚さ等を調節して抵抗Rsを作るようにしてもよい。

【0030】さらに前記ソース電極に付加する抵抗は、薄膜面素子に必ず発生する寄生抵抗を用いてもよく、図3(A)に示す抵抗Rsは、この寄生抵抗を等価的に示したものである。

【0031】図3(A)において、非線形素子(BIAS TFT)MとしてPチャネル電界効果トランジスタを使用し、この非線形素子Mのゲート電極と固定電位VDとの間に信号保持用のキャパシタCが設けてある。また、ソース電極と固定電位VDとの間に薄膜面素子であるEL素子とその寄生抵抗Rsが設けてある。

【0032】この場合も寄生抵抗である抵抗Rsを発光制御用の非線形素子Mの相互コンダクタンスの逆数よりも十分に大きな抵抗(10倍以上〜1TΩ以下)とすることにより負帰還が係り、非線形素子Mに流れる電流I

6

dsとキャパシタCに蓄積された電圧との間に一次比例の関係を持つ範囲を作ることができる。

【0033】図3(B)は薄膜面素子の一例(有機EL発光素子)を示す図であり、寄生抵抗としてこの図に示す如く、抵抗層102を使用してもよい。この場合もその等価回路は図3(A)に示す通りである。なお図3(B)に示す有機EL発光素子において、101はMgAg等の陰極、103は電子注入輸送層、104は発光層、105は正孔注入輸送層、106は透明電極である。

【0034】この寄生抵抗の値を制御するには、抵抗層102としてポリシリコン薄膜、アモルファスシリコン薄膜、高抵抗有機薄膜等の膜厚で制御を行う。勿論薄膜面素子の電流一電圧特性が一次比例する場合には、これを用いてもよい。

【0035】また、前記ソース電極に付加する抵抗は非線形素子の出力抵抗を用いてもよい。図4(A)は非線形素子である負荷TFT(LOAD TFT)の出力抵抗を用いたときを示したものである。LOAD TFTのゲート電極には抵抗R1、R2で分圧された一定の電位が加えられている。

【0036】図4(B)はこの時のLOAD TFTのVDS−Ids特性(ドレインソース間の電圧電流特性)を示し、VDSに一定以上の値が加わるとき(飽和領域)、VDS−Idsの関係は一次比例となりLOAD TFTが抵抗と見なせることを表している。なお、ここでのVDSはLOAD TFTのドレインソース電極間にかかる電圧を表している。この出力抵抗値はLOAD TFTに印加される電圧、すなわち抵抗R1、R2の抵抗比、及びLOAD TFTのチャネル長で制御を行うものである。またLOAD TFTのゲート電極に加える一定の電位は抵抗R1、R2を使用しないで外部から一定の電位を与える等の他の手段を用いることもできる。

【0037】このように、LOAD TFTのゲート電極に加える電位を制御することにより出力抵抗値の制御を容易に行うことができ、しかも、大きな抵抗値を小さな面積で作ることができる。

【0038】なお、前記実施例では非線形素子として薄膜で製造したTFTを用いた場合の説明をしたが、これに限定されるものではなく、他の製法で製造した非線形素子を用いることもできる。

【0039】
【発明の効果】以上説明したように、本発明によれば次のような効果がある。

①:請求項1記載の本発明によれば入力電圧と非線形素子に流れる電流を一次比例関係に構成することができるので、入力映像信号に忠実な薄膜面素子の輝度を得ることができる。

(5)

7

【0040】②：請求項2記載の本発明によれば高抵抗導線を使用して前記一次比例関係を得ることができるので、特別な抵抗を必要とせず、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

【0041】③：請求項3記載の本発明によれば非線形素子の寄生抵抗を用いて前記一次比例関係を得ることができるので、これまた特別な抵抗を必要とせず、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

【0042】④：請求項4記載の本発明によれば薄膜画素素子の寄生抵抗を用いたので、特別な抵抗を必要とせず、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

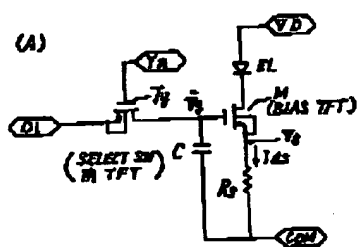【0043】⑤：請求項5記載の本発明によれば薄膜画素素子に抵抗薄膜を形成したので、非常に簡単な構成で、入力映像信号に忠実な薄膜画素素子の輝度を得ることができる。

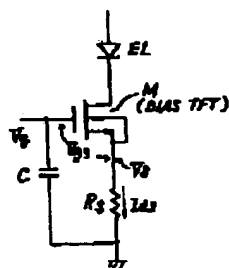【0044】⑥：請求項6記載の本発明によれば負荷素子として非線形素子の出力抵抗を用いたので出力抵抗の制御が容易に行うことができ、かつ、大きな抵抗値を小さな面積で作ることができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

8

【図2】実施例における非線形素子の寄生抵抗を用いる場合の説明図である。

【図3】実施例における薄膜画素素子の寄生抵抗を用いる場合の説明図である。

【図4】実施例における非線形素子の出力抵抗を用いる場合の説明図である。

【図5】従来例の説明図（1）である。

【図6】従来例の説明図（2）である。

【符号の説明】

EL　薄膜画素素子
M　非線形素子
C　キャパシタ
Rs　負荷素子
Ty　非線形素子
Yn　Y座標選択信号
Di　画像データ
COM　共通電位（固定電位）
VD　固定電位
Vs　ソース電位
Vg　ゲート電圧
Vgs　ソースゲート間電圧
Ids　非線形素子Mに流れる電流
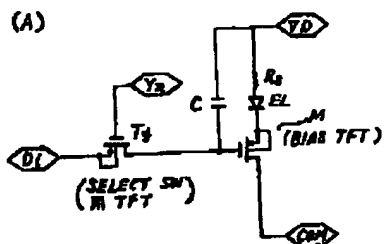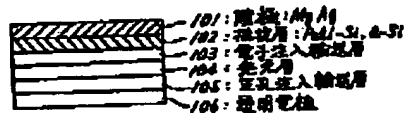
【図1】

本発明の原理説明図

【図2】

非線形素子の寄生抵抗を用いる場合の説明図
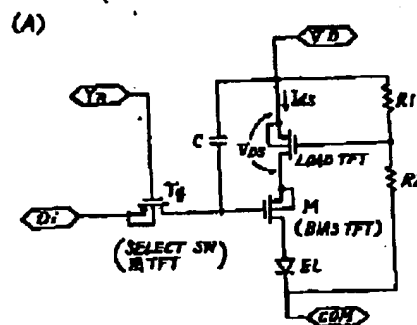
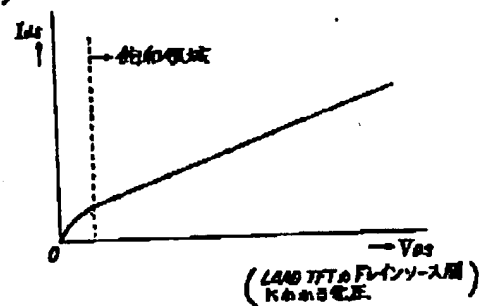(6)　　　　　　　　　　　　　　　特開平9−16123

【図3】

薄膜画素素子の寄生抵抗を用いる場合の説明図

(A)

(B)

101：陰極：Mg Ag
102：注入層：h-Si、a-Si
103：電子注入輸送層
104：発光層
105：正孔注入輸送層
106：透明電極
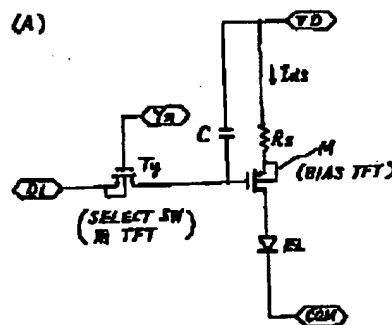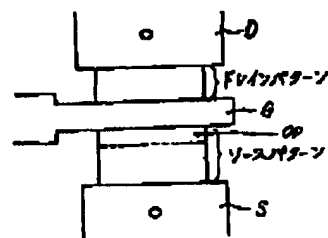
【図4】

非線形素子の出力抵抗を用いる場合の説明図

(A)

(B)

(LOAD TFTのドレインソース間)
にかかる電圧

【図6】

従来例の説明図 (2)
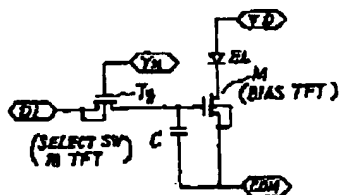
BEST AVAILABLE COPY

(7)

【図5】

従来例の説明図 (1)

(A) パネルブロック図

(B) A部の拡大図